

一 般 論 文

柱状シリコンナノ構造形成技術の
平面電子源デバイス応用Surface electron emitting device application of the columnar
silicon nano structure formation technology

可 貴 裕 和*	高 瀬 俊 二*
H. Kaki	S. Takase
西 上 靖 明*	稲 実 宏*
Y. Nishigami	H. Inami
岸 田 茂 明*	長 町 学*
S. Kishida	S. Nagamachi
東 大 介*	林 司*
D. Azuma	T. Hayashi
横 山 文 孝**	
F. Yokoyama	

概 要

当社のビーム・プラズマ技術を用いることによって、ユニークな結晶性シリコン薄膜を形成できる事を報告してきた。シリコン成長初期過程から結晶性の膜が得られ、膜厚数十nm～数 μ mでは、柱状構造になる。本稿では、柱状シリコンナノ構造形成技術の応用として、平面電子源の一種である弾道電子面放出型電子源 (Ballistic electron Surface-emitting Device : BSD) への応用とその特性向上技術について紹介する。

Synopsis

A unique crystalline silicon film formed by using our beam plasma technology has been reported. A crystalline film is obtained from an initial step of silicon growth. It has pillar-shaped structure from dozens of nm to several micrometers. In this paper, the progress of the columnar silicon nano structure formation technology, the application to Ballistic electron Surface-emitting Device and its characteristic improvement technologies are introduced.

1. はじめに

かつて世界最先端の技術を誇り世界を席卷した日本の半導体産業や薄型テレビ産業は、リーマンショック、東日本大震災、円高等で、大きくダメージを受け、世界規模の競争の渦に巻き込まれている。

このような状況の中、近年、経産省により策定された「産業構造ビジョン」では、戦略5分野 (①インフラ関連/システム輸出、②環境・エネルギー課題解決、③文化産業、④医療・介護・健康・子育てサービス、⑤先端分野) への注力と国家を挙げての産業競争力強化の方針が打ち出され、これらを受け日本の企業は世界戦略の再構築と新しい産業基盤構築に向けた対応を急ピッチで行っている。

当社はこれまでビーム・プラズマ技術を駆使し、誘導結合プラズマを用いたSiH₄-PECVD装置において、結晶性シリコン薄膜の形成技術を開発し、400℃以下の低温でガラス基板上にインキュベーション層の無い結晶性シリコン薄膜を

形成する事に成功している^(1,2)。膜厚数nmのシリコン膜では、ナノ結晶 (nc-Si) が形成され、膜厚数十nm～数 μ mでは、柱状構造になっていることが確認できている。

ところで、ナノメートルサイズの柱状シリコン構造は、太陽電池、フォトニック結晶^(3,4)、センシングデバイス^(5,6)および弾道電子面放出型電子源 (Ballistic electron Surface-emitting Device : 以下BSD)⁽⁷⁾等への応用が期待できることから、様々な形成法が検討されている。しかしながら、単結晶シリコン柱状構造が形成可能な金属ナノ粒子を核とするVapor-Liquid-Solid (VLS) 成長法^(8,9)や金属ナノ粒子をマスクとして活用した基板エッチング法^(10,11)では、基板が結晶に限定され、さらには形成した柱状シリコンナノ構造内への金属の混入が懸念されることから、ガラスやフレキシブル基板等への製膜が可能な当社の直接製膜法はひとつの有力な候補であると考えられる。

* 研究開発本部
** 理事

本稿では、柱状シリコンナノ構造形成技術の適用事例として、BSDの高電流密度化、高速応答化等の技術進展に関して紹介する。BSDは、電子線照射装置向け電子源、イオン注入装置の空間電荷中和やチャージアップ中和用電子源、平面光源や、電子線露光、その他、広く電子源としての用途に期待されている。更には、経産省が示した戦略5分野のうち、環境関連、医療健康関連等の新たな分野に向けた適用検討も考えられる。

2. 弾道電子面放出型電子源 (BSD)

弾道電子面放出型電子源は、粒径が数nmと極めて小さいシリコン粒内でのバリスティック伝導と薄いシリコン酸化膜中での電界加速による弾道化現象を利用した電子源であり、電子放出効率が高い、放出された電子の直進性が良い、低真空での電子放出が可能といった特徴を持つ⁽¹²⁾。

図1に、ナノシリコンによる弾道電子放出モデル図を示す。ナノシリコンは、周囲をシリコン酸化膜で覆われたシリコン粒が積層された構造になっている。シリコン粒の粒径は、数nmと非常に小さく、電子はあたかも抵抗が存在しないように振る舞う(バリスティック伝導)。一方、シリコン酸化膜の膜厚は極めて薄くなっており、電子はシリコン酸化膜を突き抜けることができる(トンネル現象)。シリコン酸化膜には電界が印加されているため、電子はトンネルにともないその電界によって加速されエネルギーを持つ。この1連の過程が、ナノシリコン内で繰り返され、最終的に、印加電圧と同程度のエネルギーを持った弾道電子が表面電極を貫いて放出される。

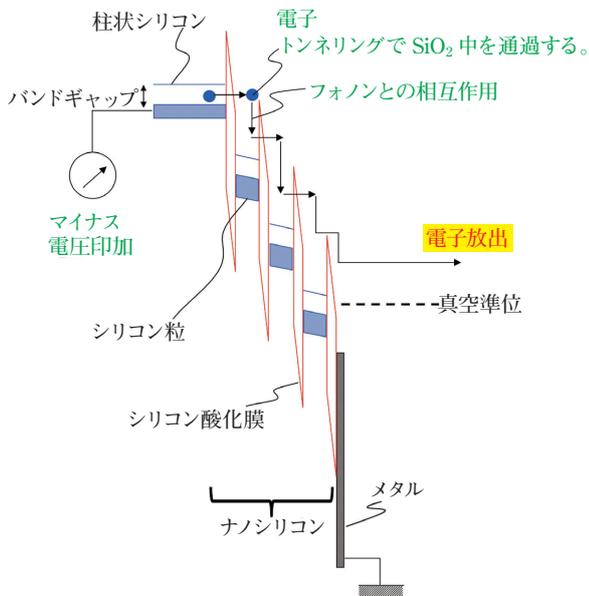


図1 電子源の動作原理 (モデル図)

図2にBSDの作製工程の概略を示す。下部電極を形成した石英基板上に柱状シリコン膜を製膜する。フッ酸/エタノール溶液中にて陽極酸化することにより、柱状シリコン膜をナノポーラス化し、エチレングリコール/硝酸カリウム溶液中で電気化学酸化 (Electrical Chemical Oxidation: ECO) 処理を施すことによって、ナノポーラス化したシリコン粒の周囲に薄いシリコン酸化膜を形成させる (ナノシリコン)。その後、絶縁膜、表面電極および上部電極を形成し、BSDが完成する。

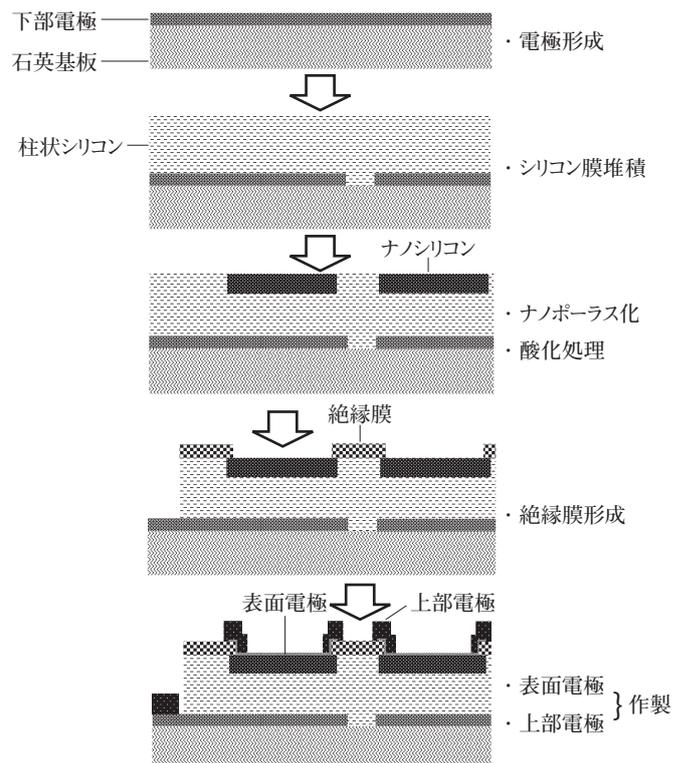


図2 弾道電子面放出型電子源作製工程

3. 柱状シリコンナノ構造形成技術の開発

3.1 柱状シリコン形成技術

当社はこれまで、内部アンテナ型誘導結合プラズマ源 (Inductively Coupled Plasma: ICP) を採用し、その、高密度、低プラズマポテンシャル、低電子温度、大面積化が容易等の特徴を利用し、ガラス基板等、異種基板上に低温で大面積に結晶性シリコン膜を直接形成する技術を確認し、例えば、シリコン酸化膜上に、インキュベーション層無し (アモルファス層を挿まない) で、結晶性のシリコンを形成できることを確認している。

図3は、結晶性のシリコンを約200nm形成して、透過型電子顕微鏡 (Transmission Electron Microscope: TEM) により断面を観察したものであり、直径数十nmの

結晶性の柱状シリコンが成長している事を確認できる。結晶性の縞模様は下地界面から表面まで同じ縞模様で届いており、微小電子線回折により、柱ごとに結晶配向は異なっているものの、各柱状結晶は、成長界面から表面まで同じ結晶配向である事を確認している⁽¹⁾。すなわち、直径数十nmの結晶性の柱が成長界面から表面まで伸びて高密度に形成されている状態であると考えられる。また、プラズマ条件の設定により、柱状シリコンの直径の制御や、配向性の制御が可能であり、微細粒径の柱状シリコン形成や、結晶の(111)配向を強くすることにより柱状性が増すこと等が確認できている。従来、柱状シリコンは製膜後に大気中からの不純物の粒界拡散の影響を受け経時変化しやすいとされてきたが、配向性の制御技術により、経時的に安定でかつナノ構造形成に有利な柱状シリコンを形成することができるようになった。

さらに、シリコン膜の結晶化は下地界面から始まっているが、下地表面の影響を強く受ける。BSDでは、下地に金属電極を使用しており、その表面を安定化させる必要があった。そこで、柱状シリコン製膜前の表面を清浄かつスムーズに保つように処理を行うこととした。

また、詳細は次節で述べるが、柱状シリコン膜の膜質が、その後のナノポーラス構造形成に強く依存することも判明した。そのため、PECVD装置内部に使用する部材やそれらの洗浄方法、管理手法およびモニタリング技術を確立させた。

これらの装置技術、装置の運用管理技術、プロセス技術の確立により、BSDに適した柱状シリコン膜を安定かつ再現良く形成することが可能となった。

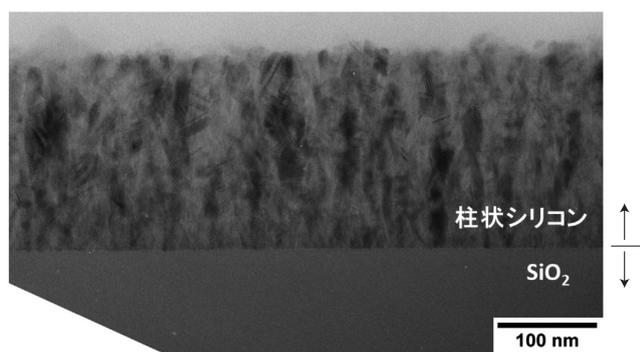


図3 柱状シリコン断面TEM像
シリコン膜厚:約200nm

3.2 ナノシリコン形成技術

下部電極上に形成した柱状シリコン膜をフッ酸/エタノール溶液中で陽極酸化することにより、シリコンをナノポーラス化する。単結晶シリコンウェーハの場合、陽極酸化によって形成されるナノポーラス構造は、陽極酸化自体の条件(溶液濃度、電流密度および処理時間など)のみ

ならず、キャリアタイプ(N型 or P型)、そのドーパント濃度および結晶方位に強く依存することが報告されている⁽¹³⁾。そこで、BSDに対して、最適な柱状シリコン膜質の検討を行った。図4にナノシリコンを形成した試料の断面TEM観察像を示す。図4(a)は、キャリアタイプがN型の場合であり、図4(b)は、P型の場合である。図4において、白く見える領域がナノシリコンである。P型の場合、N型と比較して、深さ方向が均一かつ高密度にナノシリコンが形成していることが分かる。ドーパント濃度についても検討を行い、低濃度の方がより高密度にナノシリコンが形成されることを確認した。単結晶シリコンウェーハでの実験では、低濃度P型シリコンでミクロなポーラス状態が得られるという報告⁽¹³⁾がなされており、柱状シリコン膜のナノポーラス構造についても、単結晶シリコンウェーハと同じメカニズムによって形成されることを示唆する結果である。

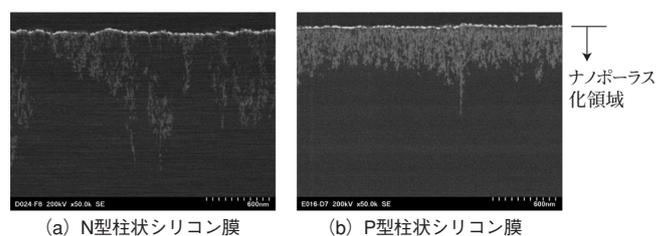


図4 柱状シリコンナノ構造断面TEM像

ナノポーラス化した柱状シリコンをエチレングリコール/硝酸カリウム溶液中でECO処理することにより、シリコン粒の周囲に薄いシリコン酸化膜を形成する。ECO処理により形成したシリコン酸化膜は8MV/cm以上の耐圧を有しており、電子源の駆動に対しては十分な膜耐性があることを確認しているものの、駆動時の印加電圧を高くするほど、シリコン酸化膜中のトンネル確率は大きくなり、電子放出効率をさらに高くできる可能性がある。そのため、シリコン酸化膜の耐圧向上のため、ECO処理後のアニールについて検討を行った。図5は、ECO処理によってシリコン酸化膜を形成した後、550℃および950℃にてアニール処理を行った試料のフーリエ変換型赤外分光(Fourier Transform Infrared Spectrometer: FT-IR)測定結果である。950℃でアニールすることによって、Si-O結合による赤外吸収ピークが550℃のそれより高波数側にシフトしており、シリコン酸化膜中の歪(ひず)んだSi-O-Si結合の構造緩和が進行しているものと考えられ、耐圧向上が期待される。

また、電子源作製プロセスにおいて、デバイス内に混入する不純物は電子源動作の信頼性に影響する可能性がある。特に、ECO処理時に使用する硝酸カリウムから、デバイス内に混入したカリウムは可動イオンであり、駆動時

に電子の移動を妨げる可能性がある。しかし、ナノシリコンはナノオーダーの極めて小さな構造を有しているため、通常の洗浄工程では、不純物を十分に除去できない。そこで、表面張力が働かず、ナノオーダーの構造に対しても有効と考えられる超臨界洗浄についての検討を行った結果、同洗浄によって表面近傍のカリウムや膜中の炭素が低減できることが確認できた。

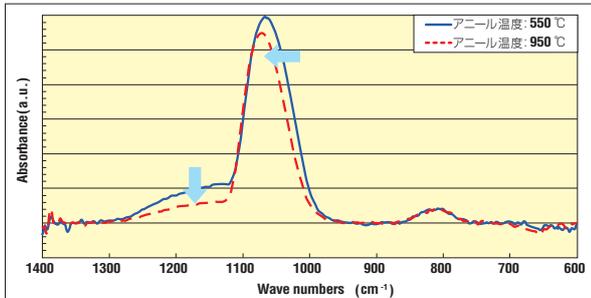


図5 FT-IRによるシリコン酸化膜質測定結果

3.3 表面電極形成

電界で加速された弾道電子は表面電極を貫いて放出される。そのため、表面電極である金属の膜厚は薄ければ薄いほど良いと言える。しかし、膜厚が薄くなりすぎると金属は凝集して不連続となり、電子放出面全体に対して、均一に電圧が印加できなくなる。したがって、表面電極は高い電子透過率を維持しつつ、凝集しない膜厚に設定する必要がある。表面電極の膜厚のみならず、形成方法や後処理方法についての検討を行った結果、電子透過率を高く保ちつつ、凝集が発生しない極薄表面電極の形成条件を見出すことができた。

3.4 柱状シリコンナノ構造の評価

柱状シリコンナノ構造の出来栄とナノ構造から放出する電子の面内分布に関する知見を得るために、導電性探針を使用した原子間力顕微鏡 (Atomic Force Microscope: AFM) を用いて、柱状シリコンナノ構造上に形成した極薄金属電極表面の観察を行った^(14,15)。

図6は、まず、探針-試料間距離約200nmで表面形状像を観察し、コントラストが認められない状態、即ち、探針-試料間が確実に離れている状況であることを確認したうえで、下部電極に-23Vを印加して2次元電流像を観察した結果である。直径数十nmのおおよそ円形の高伝導領域が同視野内に数個、比較的高密度に存在していることが確認できる。

2次元電流像で認められた個々の高伝導領域は、柱状シリコンナノ構造から弾道電子が放出されている領域であると考えられ、別途、接触測定で観測した表面形状像の凹凸やTEM観察によって得られた微細構造(図4

(b))と比較的良好一致をすることから、高密度に形成された柱状シリコンナノ構造が電子放出に有効に寄与している事を示唆している。

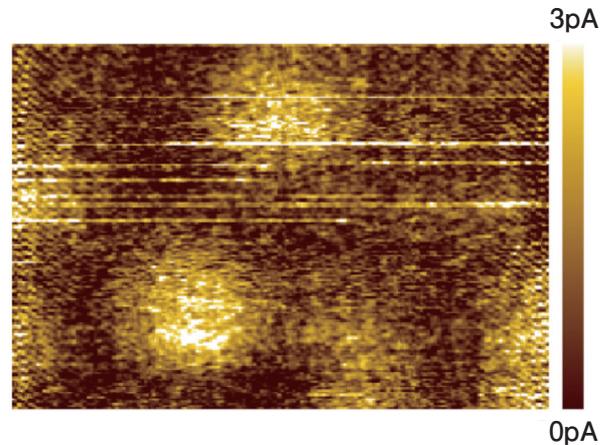


図6 導電性AFMによる2次元電流像⁽¹⁵⁾

4. 平面電子源の特性

3章で開発した技術を用いて電子源を試作し、特性評価を行った。図7に試作したBSDの代表的な電圧-電流特性を示す。図7において、デバイス電流は上部~下部電極間に流れた電流であり、エミッション電流は、電子源から放出された電子による電流を示している。上部~下部電極間電圧の増加にともなって、デバイス電流は単調に増加する。一方、エミッション電流は上部~下部電極間電圧が12Vを超えたところから急激に増加し、印加電圧20Vで約100mA/cm²のエミッションが得られる。複数の4インチウェーハの試作品評価において、80mA/cm²±6% (ウェーハ面内36点、駆動電圧20V)のエミッション特性を確認している。

図8に、エミッション電流の立ち上り特性を示す。評価に用いている測定システムが、高速駆動に対して十分な構成とはなっていないため、エミッション電流はデバイス電流に対して0.1μs程度遅れて立ち上がっているものの、立ち上がりから約0.1μs後に最大値が得られていることが分かる。すなわち、単純マトリクス配置された電子源素子を点順次で駆動させる場合、高速駆動が可能である。

図8には、駆動直前に逆バイアスを印加しない場合のエミッション特性も示した。通常駆動(逆バイアス印加有り)と比べて、エミッション電流の立ち上がりが遅く、最大値も低いことが分かる。この原因を調査するため、熱刺激電流 (Thermally Stimulated Current: TSC) 測定を実施した。TSCは、バイアス印加によって試料内にチャージされた電子を熱的に放出させ、電流として検出することによって、試料のトラップ状態を測定するものである。図9は、順バイアスもしくは逆バイアスでチャージしたTSCシグナルである。逆バイアスチャージの場合、250℃近傍に、順バイアス

チャージでは見られないシグナルの存在が確認できる。これは、ナノシリコン形成領域に順バイアス印加では発生しないトラップが、逆バイアス印加によって発生したことを意味している。このトラップの発生は等温容量過渡分光 (Isothermal Capacitance Transient Spectroscopy: ICTS) 測定でも確認している。逆バイアス印加によるトラップの発生が、エミッション特性にどのように影響しているかについては、十分に解明できているわけではないが、1つの仮説として、逆バイアス印加によってナノシリコン形成領域にトラップされた電子が電圧印加直後に放出されるため、立ち上がりが高速度するとともに電子放出量が増加するというモデルが考えられる。

また、BSDの特徴として、低真空中での電子放出が報告されているが、我々が試作した電子源におけるエミッション電流の真空度依存性を図10に示す。従来報告されている結果⁽¹²⁾と同様に、 10^3 Paという低真空領域でも、高い電流値が計測されている。1Pa程度までの高真空領域(A)では、純粋にエミッション電流が計測されているが、雰囲気圧力増大に伴うエミッション電流の増大(B)とその後の減少(C)は、なだれ現象や空間電荷制限等の影響が考えられる。

課題として、信頼性のさらなる向上と長寿命化があげられるが、デバイスの欠陥修復に効果的な高圧水蒸気アニールを用いることによって改善されることが分かっている。

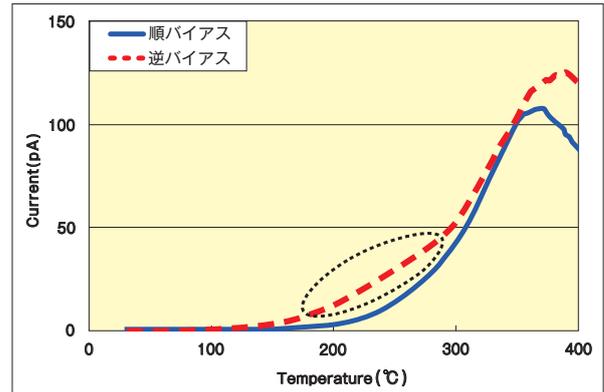


図9 柱状シリコンナノ構造のTSCによるトラップ状態測定結果

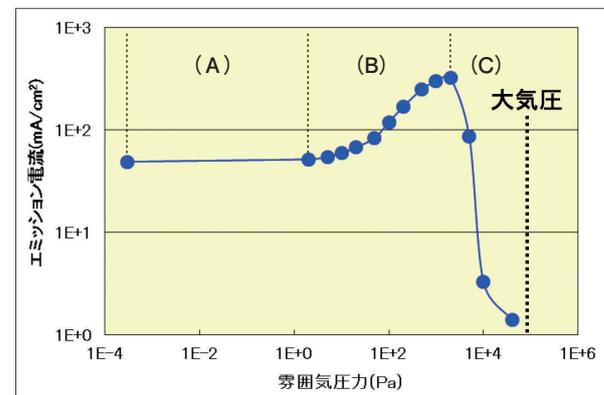


図10 エミッション電流の真空度依存性

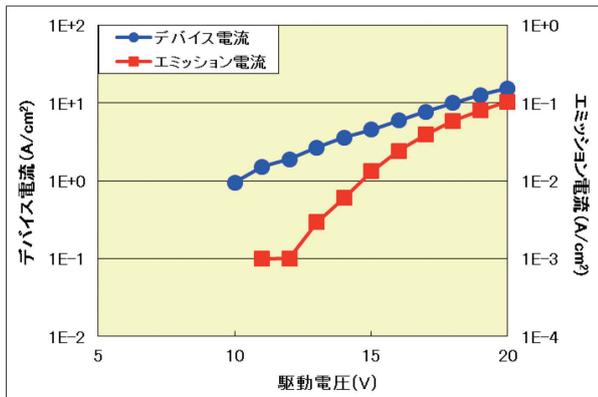


図7 電子源の電圧-電流特性

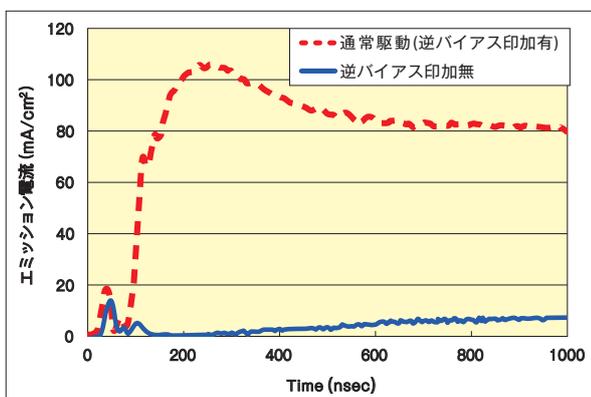


図8 エミッション電流の応答特性

5. まとめ

誘導結合プラズマCVDを用いた柱状シリコン形成技術やナノ構造形成技術の向上により、電子放出に寄与するナノシリコン構造を均一かつ高密度に形成できるようになり、デバイス駆動方法の改善によって、電子放出量を増加させることが出来た。本稿で紹介した柱状シリコン形成技術やナノ構造形成技術等の当社のユニークな技術は、BSD応用以外にも上述したような様々なフィールドへの展開が期待され、産業競争力強化や新しい産業基盤構築に向けた応用展開も考えられる。

6. 謝辞

本開発を進めるにあたり、パナソニック株式会社エコソリューションズ社並びにパナソニックヘルスケア株式会社より、有益なご助言やデータのご提供を頂きました。ここに記して深く感謝の意を表します。また、高圧水蒸気アニール処理につきましては、奈良先端科学技術大学院大学の浦岡行治教授との共同研究において多大なるご指導を頂きましたことを深く感謝致します。本開発の一部は、坂口崇氏、塚本和幸氏、小村浩市氏、鳥居猛氏、安在哲也氏の協力を得て行われたものであり深く感謝致します。

参考文献

- (1) 日新電機技報 Vol.51 (2006.2)
- (2) E. Takahashi, Y. Nishigami, A. Tomyo, M. Fujiwara, H. Kaki, K. Kubota, T. Hayashi, K. Ogata, A. Ebe, and Y. Setsuhara, "Large-Area and High-Speed Deposition of Microcrystalline Silicon Film by Inductive Coupled Plasma using Internal Low-Inductance Antenna" *Jpn. J. Appl. Phys.*, 46, pp. 1280-1285, 2007.
- (3) J.D. Jonannopoulos, P.R. Villeneuve, and S. Fan, "Photonic crystals: putting a new twist on light" *Nature*, 386, pp.143-149, 1997.
- (4) T. Tada, V.V. Poborchii, and T. Kanayama, "Fabrication of Photonic Crystals Consisting of Si Nanopillars by Plasma Etching Using Self-Formed Masks" *Jpn. J. Appl. Phys.*, 38, pp. 7253-7256, 1999.
- (5) W.F. Jiang, M. Jia, Y.S. Wang, L.Y. Li, and X.J. Li, "Accelerated resistive humidity sensing properties of silicon nanoporous pillar array" *Thin Solid Films*, 517, pp. 2994-2996, 2009.
- (6) Y.Y. Xu, X. Jian, J.T. He, X. Hu, and H.Y. Wang, "Capacitive humidity sensing properties of hydrothermally-etched silicon nano-porous pillar array" *Sensors and Actuators B: Chem.* 105, pp. 219-222, 2005.
- (7) N. Koshida, T. Ozaki, X. Sheng, and H. Koyama, "Cold Electron Emission from Electroluminescent Porous Silicon Diodes" *Jpn. J. Appl. Phys.*, 34, pp. 705-707, 1995.
- (8) R.S. Wagner, and W.C. Ellis, "Vapor-Liquid-Solid Mechanism of Single Crystalline Growth" *Appl. Phys. Lett.*, 4, 89, 1964.
- (9) T. Shimizu, T. Xie, J. Nishikawa, S. Shingubara, S. Senz, and U.Gösele, "Synthesis of Vertical High-Density Epitaxial Si(100) Nanowire Arrays on a Si(100) Substrate Using an Anodic Aluminum Oxide Template" *Adv. Mater.*, 19, pp. 917-920, 2007.
- (10) T. Tada, V.V. Poborchii, and T. Kanayama, "Channel waveguides fabricated in 2D photonic crystals of Si nanopillars" *Microelectronic Eng.*, 63, pp. 259-265, 2002.
- (11) P.A. Lewis, H. Ahmed, and T. Sato, "Silicon nanopillars formed with gold colloidal particle masking" *J. Vac. Sci. Technol. B* 16, pp. 2938-2941, 1998.
- (12) 菰田卓哉; 「FEDがわかる本」, 工業調査会(2005).
- (13) R.L. Smith and S.D. Collins, "Porous silicon formation mechanisms," *J. Appl. Phys.*, Vol. 71, No. 8, pp. R1-R22, 1992.
- (14) J. Gao, K. Makihara, A. Ohta, M. Ikeda, S. Miyazaki, H. Kaki and T. Hayashi, "Evaluation of Electronic Properties of Pillar-shaped Si Nanostructures by Conductive Atomic Force Microscopy", *Abst. of 15th Int. Conf. on Thin Films*, P-S2-28, Kyoto, Nov. 2011.
- (15) D. Takeuchi, K. Makihara, M. Ikeda, S. Miyazaki, H. Kaki, T. Hayashi, "Characterization of Local Electronic Transport Through Ultrathin Au / Highly-Dense Si Nanocolumnar Structures by Conducting-Probe Atomic Force Microscopy", *Proc. of 2012 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices*, Naha, June, 2012, pp. 202-205.

執筆紹介



可貴裕和 Hirokazu Kaki
研究開発本部
ビーム・プラズマ技術開発研究所
プロセス研究部 BSDプロセス開発グループ



高瀬俊二 Syunji Takase
研究開発本部
ビーム・プラズマ技術開発研究所 主幹



西上靖明 Yasuaki Nishigami
研究開発本部 電力技術開発研究所
電力機器・システム研究部
電磁気・熱・機械グループ 主任



稲実 宏 Hiroshi Inami
研究開発本部
ビーム・プラズマ技術開発研究所
プロセス研究部 BSDプロセス開発グループ 主任



岸田茂明 Shigeaki Kishida
研究開発本部
ビーム・プラズマ技術開発研究所
プロセス研究部 システム設計グループ 主任



長町 学 Satoru Nagamachi
研究開発本部
ビーム・プラズマ技術開発研究所
プロセス研究部 半導体材料評価グループ



東 大介 Daisuke Azuma
研究開発本部
ビーム・プラズマ技術開発研究所
プロセス研究部 BSDプロセス開発グループ



林 司 Tsukasa Hayashi
研究開発本部
ビーム・プラズマ技術開発研究所
プロセス研究部長



横山文孝 Fumitaka Yokoyama
理事